

Implementation of an embedded phase and frequency tuner, as reference for real-time energy exchange with the grid

Clementina Rueda-Germán

Universidad Politécnica de Tulancingo, Tulancingo, Hidalgo, México, clementina.rueda@upt.edu.mx

J. Humberto Arroyo-Núñez

Universidad Politécnica de Tulancingo, Tulancingo, Hidalgo, México, humberto.arroyo@upt.edu.mx

Iván Rivas-Camero

Universidad Politécnica de Tulancingo, Tulancingo, Hidalgo, México, ivan.rivas@upt.edu.mx

Lucio F. Rebolledo-Herrera

Instituto Nacional de Astrofísica, Óptica y Electrónica, Atlixco, Puebla, México, fidel.rebolledo@inaoep.mx

ABSTRACT

The most versatile applications of phase-locked loop (PLL) are related to the generation of clock pulses that are used for microprocessors, communication systems, noise reduction, signal filtering and frequency synthesizers. The objective of this work is the development and implementation of a synchronization technique based on a PLL, embedded in a ; floating point and real time performance, digital signal processor (DSP) , this technique is aimed to assist investors voltage (CD/AC) of a renewable energy local system generation, to create a sine wave with a central frequency of 60Hz. in phase sync with the electricity Mexican system, in compliance with public service energy law that regulates electricity distribution in México. The device link called phase locked loop (PLL) is intended specific tracking of phase and frequency of a reference signal, to generate a low power square signal in similar conditions (phase, frequency) and constant amplitude, with the help of a development card called TMS320C6713DSK that including a digital signal processor powered by Texas Instruments that contains the implementation of a software-based PLL to generate a single phase low voltage signal. The prototype with electronic instrumentation is useful as part of a system that will be capable of exchanging electricity with Mexican grid.

Keywords: PLL, Digital Signal Processor, Embedded system, Real Time, TMS320C6713, Synchrony, Mexican grid.

1. INTRODUCCIÓN

Los sistemas de generación de energías renovables interconectados a red en la actualidad tienen una penetración y desarrollo aún nacientes (Alatorre, 2009). México se encuentra entre los países con alto potencial energético proveniente de recursos como radiación solar, eólica, hidráulica y geotérmica; los sistemas solar/eólicos han tenido muy buena aceptación, sobre todo en aplicaciones a pequeña escala. Un arreglo típico de estos sistemas consta de las siguientes etapas: generación, acondicionamiento de potencia producida y el sistema de sincronía. La generación puede llevarse a cabo por aerogeneradores y arreglos fotovoltaicos, de maneras independientes o complementarias. El acondicionamiento de la potencia se realiza a través de un inversor, que transforma la energía de cd (corriente directa) almacenada en los bancos de batería a ca (corriente alterna). Finalmente, el sistema de sincronización se encarga de acondicionar la señal con las características eléctrica requeridas, para su interconexión con la red de suministro eléctrico. Esta última etapa es donde se concentran los objetivos de este trabajo de investigación, fundamentalmente en la detección de frecuencia y el ángulo de fase.

El ángulo de fase y la frecuencia de la señal de voltaje de la red eléctrica, contienen información crítica para poder conectar un sistema local de generación de energía con el sistema eléctrico. Hay muchos sistemas para el seguimiento de fase entre ellos es posible mencionar el detector de cruce por cero, el Phase Locked Loop (PLL), los detectores de fase basados en referencias estacionarias síncronas (SRF), entre otros.

El sistema de detección de frecuencia y fase denominado PLL (por sus siglas en inglés), es una técnica de control en lazo cerrado, cuyo propósito principal consiste en la generación de una señal de salida con amplitud fija y fase coincidente con la entrada, dentro de rango de un margen determinado (Pindado, 2001). El PLL es utilizado comúnmente en varias aplicaciones, por ejemplo: en sistemas de radio frecuencia, telecomunicaciones, computadoras y sistemas de control de motores eléctricos. El PLL está formado por tres bloques fundamentales: el comparador de fase, el filtro de lazo y el oscilador controlado por voltaje. Cuando el PLL está fuera de sintonía la señal generada adopta la frecuencia central del PLL.

El objetivo de este trabajo es la implementación de un modelo de sincronía de baja potencia; embebido en un procesador de señales en tiempo real “TMS320C6713”, que sea capaz de producir una señal de corriente alterna similar en frecuencia y fase a una señal de referencia basado en un PLL.

1.1 PROCESADOR DE SEÑALES EN TIEMPO REAL “TMS320C6713”

El TMS320C6713 es un DSP de punto flotante incluido en la tarjeta de Texas Instruments (TI) llamada TMS320C6713 DSK (DSP Starter Kit). La tarjeta DSK (DSP starter Kit) es un sistema completo que contiene el procesador digital de señales C6713 y un códec de tipo estéreo de 32-bits denominado TLV320AIC23 (AIC23) para el manejo de entradas y salidas análogas.

El procesador digital es un microprocesador de propósito específico de alta velocidad, con un conjunto de instrucciones y arquitectura para el procesamiento de señales. Se basa en la arquitectura VLIW (Very Long Instruction Word), la cual es muy usual para algoritmos matemáticos extensos.

El lenguaje usado para programar el DSP es C, usando herramientas de depuración en Code Composer Studio™ (CCS) esta es una plataforma gráfica de depuración en tiempo real, que incorpora una serie de herramientas para la generación de código; un compilador de código C, un ensamblador y un vinculador.

2. DESARROLLO

El PLL fue usado por primera vez por Bellescize a principios de 1930 en trabajos de comunicación coherente, es considerado un sistema de control realimentado, cuya función es sintonizar la frecuencia generada por un oscilador con la frecuencia de una señal de referencia por medio de la diferencia de fase de las dos señales (Lara, 2003). En este apartado se presenta el entorno de desarrollo y el algoritmo de programación del lazo cerrado, además se describe el proceso de implementación a realizarse en el DSP de punto flotante para la verificación experimental.

El diseño del SPLL (Software-PLL) es similar a un PLL de tipo analógico, con la practicidad de poder modificar los bloques de manera rápida y eficiente. En la Figura 1 se observan los bloques que conforman un SPLL los cuales son: el convertidor analógico/digital (ADC), el detector de fase en este caso un multiplicador (MUL), el filtro de lazo proporcional integral (PI) y un Oscilador controlado digitalmente (DCO).

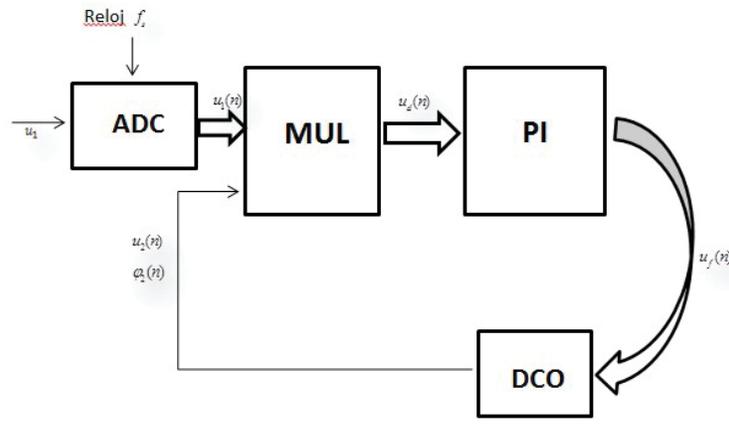


Figura 1: Diagrama de bloques que muestra la operación del SPLL

El diagrama de flujo mostrado en la Figura 2 es la representación gráfica del algoritmo, que sirve para ejemplificar el movimiento de información en la ejecución de la aplicación.

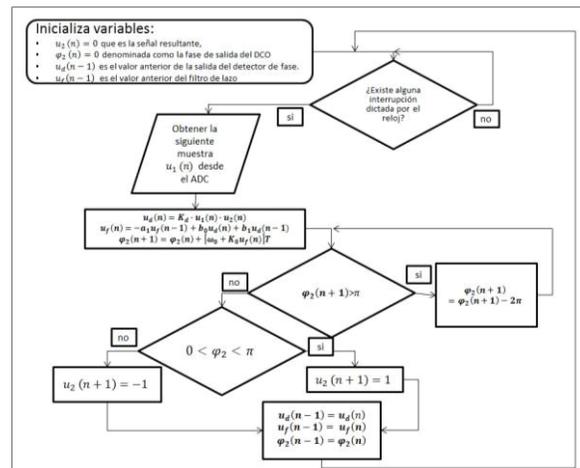


Figura 2: Diagrama de flujo del proceso a implementarse en el DSP

Un filtro activo PI ofrece buen desempeño de un PLL (E. Best, 2007), por lo tanto es necesario adecuarlo para poder ser sustituido en un SPLL, para ello se parte de la función de transferencia del filtro activo PI, ver la Ecuación 1 y adecuarla a través de una transformada z bilineal para que resulte la Ecuación 2, que es el filtro PI discretizado.

$$F_{PI} = \frac{1+s\tau_2}{s\tau_1} \quad \text{Ecuación 1}$$

$$F_z = \frac{b_0+b_1z^{-1}}{1+a_1z^{-1}} \quad \text{Ecuación 2}$$

Dónde

a_0 , a_1 , b_0 y b_1 son los coeficientes de filtro discretizado con los siguientes valores:

$$a_0 = 1$$

$$a_1 = -1$$

$$b_0 = \frac{T}{2\tau_1} \left[1 + \frac{1}{\tan(T/2\tau_2)} \right]$$

$$b_1 = \frac{T}{2\tau_1} \left[1 - \frac{1}{\tan(T/2\tau_2)} \right]$$

T es el intervalo de muestreo.

El filtro PI tiene como función generar una señal de control que va conectada al DCO que se define como cualquier oscilador con frecuencia controlada por medio de un número digital (Floyd, 2005). A través del DCO se obtendrá la señal con frecuencia y fase similar a la señal de referencia.

3. RESULTADOS

Se desarrolla una implementación de un SPLL sobre la tarjeta TMS320C6713 DSK, bajo condiciones controladas, para observar el comportamiento de su respuesta ante diferentes frecuencias, las cuales deben estar cercanas a la de sincronía. Para ello se generan diferentes formas de onda denominada de referencia y se observa el nivel de seguimiento de fase cuando el SPLL se encuentra en estado de enganche.

La frecuencia de muestreo usada para la ejecución de este trabajo es de 8000 Hz, la señal de referencia observada en la Figura 3; es producida por un generador de funciones, tiene una amplitud de 1 Vpp., la frecuencia y la fase son modificadas manualmente para hacer las pruebas de enganche y es muestreada con un periodo de 0.000125 s.

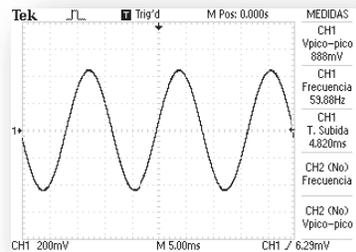


Figura 3: Señal de referencia

La función del DCO es la de generar una señal con características en fase y frecuencia similares a la señal de referencia una vez que el PLL se encuentre en enganche, la señal de sincronía producida podría ser utilizada por el inversor de voltaje en el sistema de generación de energía. En la Figura 4 se visualiza la señal que se obtiene en la salida analógica de la tarjeta de experimentación.

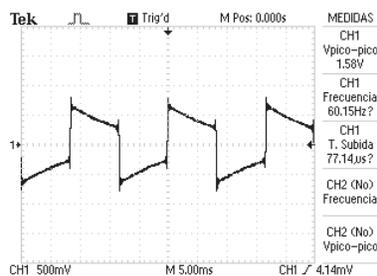


Figura 4: Señal de salida del DCO, obtenida en el puerto analógico del DSP

Al procesarse mediante el DSP el lazo cerrado denominado SPLL y con las obtención de señales antes expuestas, se presenta el primer resultado obtenido al conectar en la entrada analógica una onda sinusoidal con una

frecuencia de 59.7 Hz. y 0° en fase (señal de referencia), indicando que la señal obtenida en la salida analógica del DSP es un pulso con frecuencia de 59.81 Hz y una fase de 0° (señal de sincronía), como se puede observar en la Figura 5, obteniendo un error en frecuencia de 0.11 Hz. entre ambas señales, que no afecta el proceso de sincronía.

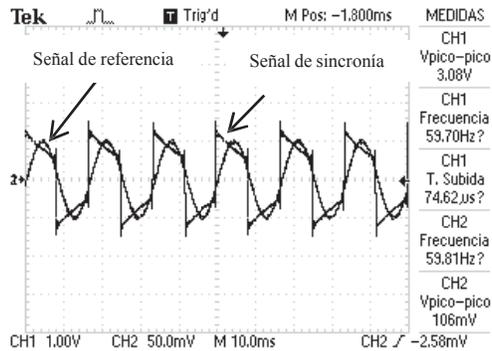


Figura 5: Señal de referencia y el pulso de sincronía generado por el DSP

3.1 PRUEBAS DE SINCRONÍA

Como se muestra en la figura anterior el sistema se mantiene en sincronía pero es necesario efectuar una serie de pruebas para verificar la estabilidad del sistema. La prueba de enganche debe de validarse cuando la señal se mantiene dentro de un rango entre 59.5 Hz a 60.5 Hz en este caso el PLL entra en estado de enganche, es decir la señal de sincronía sigue en fase y frecuencia a la de referencia. Si se sale del rango de frecuencias oscila a su frecuencia natural cercana a los 60 Hz. En la Figura 6 se observa la respuesta del SPLL ante una señal arbitraria (con una frecuencia de 60 Hz. conectada en la entrada del DSP, el CH1 muestra la señal de salida () del DSP en donde se obtiene una señal sincronizada en fase con un error en frecuencia de 0.3 Hz, como se puede observar en la medición arrojada por CH2 (señal de referencia).

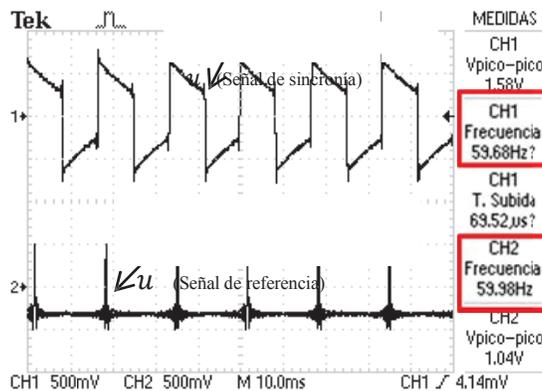
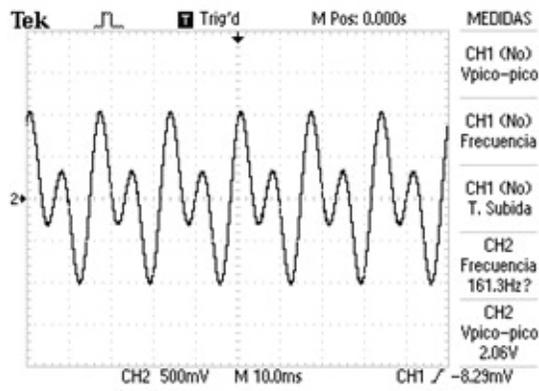
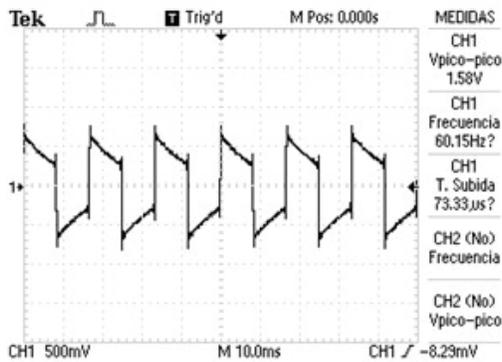


Figura 6: con una arbitraria de 60 Hz

Si la señal de referencia contiene armónicas el seguimiento en fase y frecuencia no tendría que verse afectado, una serie de respuestas ante señales con armónicas se muestran en las imágenes siguientes. En la Figura 7 a) se observa una onda de 60 Hz con armónicos pares de 2° orden que es usada para verificar que el objetivo del SPLL sea cumplido, en la Figura 7 b) se muestra que el pulso de sincronía es generado en seguimiento a la señal de referencia.



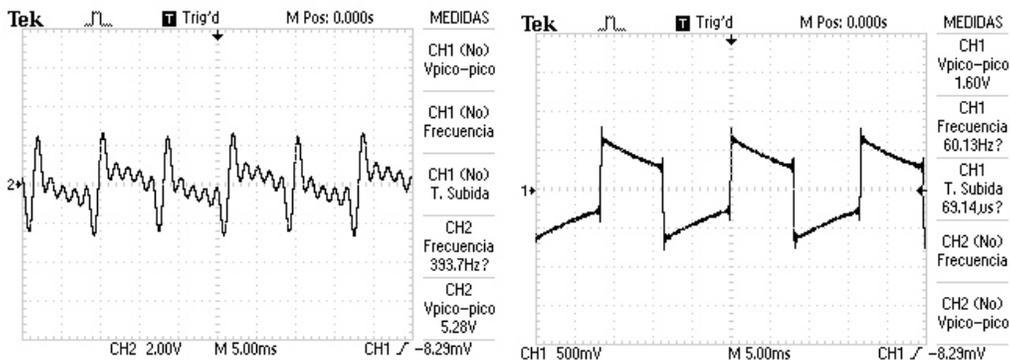
a)



b)

Figura 7: a) señal de 60 Hz. con armónicas pares de 2° orden b)

Si el orden de armónicas aumenta en la señal de referencia observe en la Figura 8 a), el PLL continua enganchado preservando la fase y frecuencia de la señal de referencia como se ve en la Figura 8 b).



a)

b)

Figura 8: a) señal de 60 Hz. con armónicas pares de 10° orden b)

Notemos ahora en la Figura 9 que si la señal de sincronía (CH2) cambia a una frecuencia superior, la señal generada por el DSP (CH3) oscila a su frecuencia central que es de aproximadamente 60 Hz.

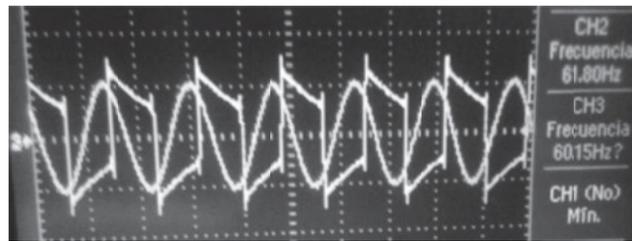


Figura 9: Señal de referencia a 61.8 Hz y del DSP no enganchada por estar fuera del rango de frecuencia

Un cambio de fase en la señal de entrada (CH2) produce un desfase en el pulso de sincronía (CH3) como se muestra en la Figura 10 en donde el CH1 es la señal que sirve de referencia, con una frecuencia de 59.95 Hz con 0° de desfase. La señal de entrada al DSP (CH2) es una señal de 59.81 Hz con un desfase de 70°, en el CH3 se observa el pulso de sincronía obtenido a la salida del DSP que sigue en fase y frecuencia a la señal de entrada del mismo.

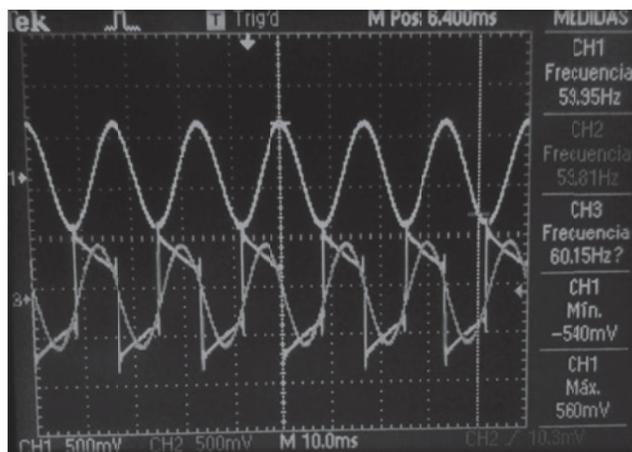


Figura 10: Pulso de sincronía que sigue en fase y frecuencia a la señal de entrada al SPLL

4. CONCLUSIONES

Se desarrolla un prototipo de laboratorio de un SPLL sobre una tarjeta de desarrollo TMS320C6713 DSK, en la que se realiza un algoritmo para el procesamiento de diversas formas de señales cambiantes en fase, frecuencia, contenido de armónicas, etc. que sirviesen para las diversas pruebas de enganche, con las cuales se concluye que el prototipo se sincroniza de manera eficiente.

Al hacer un análisis de la implementación se observa que el SPLL entra en estado de enganche en el rango preestablecido, cumpliendo con los parámetros exigidos por la unidad reguladora en México para la interconexión con el SEN (Sistema Eléctrico Nacional), en donde se solicita que el error referente a frecuencia sea de ± 0.5 Hz.; se observa en el apartado de resultados que el error no es mayor al ± 0.07 Hz además, cuando se encuentra el PLL en estado de enganche la señal producida por el DSP sigue en fase a la señal de referencia aún con perturbaciones, logrando que este trabajo cumpla con el objetivo de generar una señal que se encuentre en sintonía en fase y frecuencia con una señal de referencia.

El resultado más notable es la conformación de un prototipo integrado en un DSP que puede llegar a formar parte; con las adecuaciones de potencia necesarias, de un sistema local de generación de energía híbrido, cuya función

sería el seguimiento en fase y frecuencia la señal de la red eléctrica monofásica, para conformar una onda con características similares.

REFERENCIAS

- Alatorre, C. (2009). *Energías Renovables para el Desarrollo Sustentable en México*. México D.F.: Secretaría de Energía.
- E. Best, R. (2007). *Phase-Locked Loop, design, simulation, and applications*. . Zurich: McGraw-Hill Professional
- Floyd, M. G. (2005). *PhaseLock Techniques*. New Jersey: John Wiley & Sons.
- Lara, C. V. (2003). Estrategias de prueba para circuitos de amarre de fase. Tonatzintla, Puebla, México : Instituto Nacional de Astrofísica, Óptica y Electrónica.
- Pindado, R. (2001). Phase Locked-Loop (PLL): Fundamento y aplicaciones. *Jornades de Conferències d'Enginyeria Electrònica* (págs. 60-65). JCEE.

Authorization and Disclaimer

Authors authorize PREC to publish the paper in the conference proceedings. Neither PREC nor the editors are responsible either for the content or for the implications of what is expressed in the paper.